

基于 TSV Array 的三维集成电路优化设计研究

王畑夕, 蒋剑飞, 王 琴, 毛志刚

(上海交通大学 电子信息与电气工程学院, 上海 200240)

摘 要: 通过在三维集成电路中使用 TSV 阵列, 分析 TSV 阵列对于提高可靠性的同时给时序和布局布线等带来的负面影响. 基于 TSV 阵列, 完成三维集成电路后端流程设计和 HEVC 运动估计电路的三维实现. 实验表明基于 3×3 TSV 阵列的三维集成电路, 每个 TSV 阵列可以实现 1 个 TSV 的冗余, 可靠性提高 11.98%, 功耗和布线上分别增加了 19.6% 和 19.2%.

关键词: 三维集成电路; 后端设计; 硅通孔阵列

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2016)07-0129-04

TSV Array-Based 3D ICs Design Exploration and Optimization

WANG Tian-xi, JIANG Jian-fei, WANG Qin, MAO Zhi-gang

(School of Electronic Information and Electrical Engineering, Shanghai Jiao Tong University, Shanghai 200240, China)

Abstract: This paper analysis TSV array's positive effect on circuit's reliability and negative effect on timing and wire length by complete the 3D circuit (HEVC motion estimation circuit) back-end design with it. Results of the research indicated that one TSV array could have one redundant TSV in a 3×3 TSV array, and the reliability improved 11.98%, power consumption and wire length increased 19.6% and 19.2%.

Key words: 3D IC; Back-end design; TSV Array

1 引言

三维集成技术提供了一种新的集成方向, 它将功能模块垂直堆叠起来从而得到更高的集成密度、更快的信号传输速度和更低的功耗, 同时也为“新摩尔定律”时代下的异质整合提供了一个应用平台.

同时, 三维集成电路设计也面临着巨大的挑战^[1]. 为了提高三维集成电路的良率和可靠性, TSV 阵列技术应运而生. TSV 阵列不仅可以解决单个 TSV 成品率低的问题, 而且阵列中的接地信号可以屏蔽由于周围信号影响所带来的串扰, TSV 阵列中的冗余 TSV 不仅可以在 TSV 成品率低的情况下保证信号正确传输, 也为电路的可测性设计 DFT 提供了便利. 同时 TSV 阵列还可以提高信号传输率以及信号完整性等等.

目前, 关于插入单个 TSV 的三维集成电路后端

设计已经有大量的研究. 文献[2]中, 利用 Encounter 工具完成了 FFT 处理器的后端流程设计. 然而对于插入 TSV 阵列的研究却还止步在前期的 TSV 阵列模型研究, 文献[3, 4]中对 TSV 阵列的传输性能、串扰等做了大量介绍, 文献[5]中介绍了链式多冗余结构, 对信号 TSV 和冗余 TSV 按照 10:4 和 5:4 的比例的结构分别作了对比. 但是目前还没有关于插入 TSV 阵列的后端设计研究的相关文献. 因此本文的工作便是基于插入 TSV 阵列的后端设计研究, 相对于插入单个 TSV, 需要重新去研究合适的 TSV 阵列模型, 并且定制脚本插入设计好的 TSV 阵列, 完成整个后端设计流程.

2 TSV Array 简介

TSV(Through Silicon Via)已经被看作垂直连接不同芯片的关键元素, 它可以减少电延迟, 并且提

供了极其紧密的 I/O 连接密度. 如果设计合理的话, 基于功能模块之间距离明显减短的优势下, 相较于传统的片内互连, TSV 技术可以优化芯片设计, 例如在信号衰减、供电网络压降和串扰等方面带来极大的性能提升.

本次课题的研究改进现有的单个 TSV 插入方式, 在设计时插入 TSV 阵列来完成三维集成电路的设计. 通过冗余 TSV 获得电路的稳定性以及 DFT 设计的便利性. 其中 TSV 阵列采用的是 3×3 结构.

文献[3]中一共分析了四种 3×3 结构 TSV 阵列, 用 HFSS 软件仿真 TSV 阵列电特性. 如图 1 所示为文献中提到的四种结构, 其中灰色圆代表接地信号, 空心圆代表传输数据的信号.

实验结果表明, 模式(a)中的传输数据信号在数据传输方面性能最佳, 其次是模式(b), 而模式(c)和(d)数据传输损失较大. 在本次课题中, 我们选择了模式(b)来搭建 TSV 阵列. 由于增大 TSV 间距, 信号的传输效率反而会降低^[4], 再根据最新国际半导体技术发展路线图, 将 TSV 的最小间距设置为 $2\mu\text{m}$, TSV 尺寸设置为 $0.5\mu\text{m}\times 0.5\mu\text{m}$.

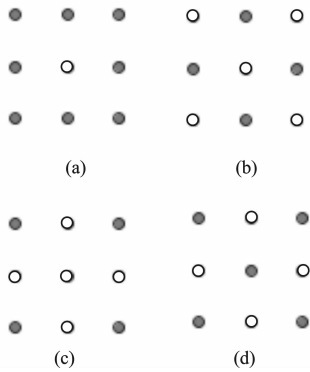


图 1 3×3 TSV 阵列 4 种模式示意图

在(b)模式中右下角的 TSV 被选择作为冗余 TSV. 一个 TSV 阵列共 9 根 TSV, 其中 4 根用作接地信号、4 根用作信号传输(传输不同的信号), 还有 1 根用作冗余. 目前业界 TSV 封装失效率约为 $10^{-4}\sim 10^{-5}$, 此处假设 TSV 的失效率为 10^{-4} , 用到的电路中总共有 1 275 根 TSV, 共计 319 个 TSV 阵列. 假设不用 TSV 阵列, 没有冗余 TSV, 那么要 4 根 TSV 都要完好才能保证 4 个信号都能正确传输, 4 根信号都正确传输的概率为

$$(1-10^{-4})^4=0.999\ 6 \tag{1}$$

整个电路正确工作的概率:

$$0.999\ 6^{319}=0.880\ 200 \tag{2}$$

如果用 TSV 阵列, 并且有一根冗余 TSV, 所有

信号正确传输概率如下:

$$(1-10^{-4})^4+C_4^1\times 10^{-4}\times (1-10^{-4})^3=0.999\ 999\ 94 \tag{3}$$

整个电路正确工作的概率为

$$0.999\ 999\ 94^{319}=0.999\ 981 \tag{4}$$

在原来的基础上提高了 11.98%, 这样的数据是非常可观的.

3 三维集成电路后端设计

图 2 所示为三维集成电路后端设计的流程.

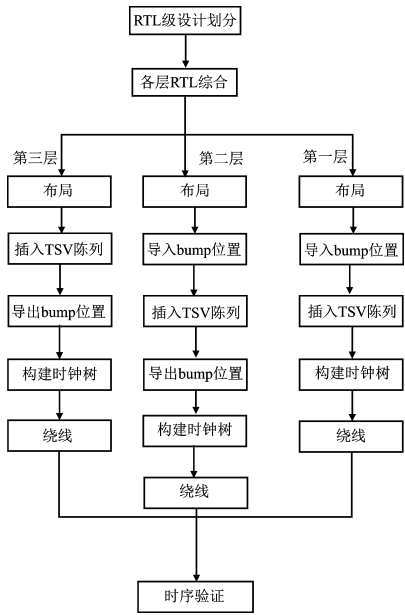


图 2 3 维集成电路后端设计流程

设计时, 首先要进行三维集成电路的设计划分, 划分既可以在 RTL 级进行, 也可以在综合时利用 Group 命令来完成. 本次课题是基于分析二维 HEVC(High Efficiency Video Coding)运动估计电路的结构来完成的, HEVC 为集成了当前最新研究成果的视频编码标准, 它的运动估计模块具有最大的计算复杂度. 通过综合以上两种方法, 定性分析课题中用的仿真电路结合二维电路综合生成的各个模块的面积, 在 RTL 编写时将电路划分为两层, PE 阵列与 PU 加法树划分在顶层晶片, 其余模块划分在底层晶片, 再将 RTL 代码读入到 Design Compiler 中完成两层晶片的划分.

为了实现冗余, 参考了文献[5]中 TSV 链式单冗余结构的设计. 如图 3 所示, tsv_1 至 tsv_N 分别代表链上所有的信号 TSV, 每个信号 TSV 两端分别增加一个二选一选择器, tsv_R 代表冗余 TSV, 两端无多路选择器. 当信号 TSV 正常时, 选择端口 0

传输信号;当信号 TSV 失效时,选择 1 端口传输信号.

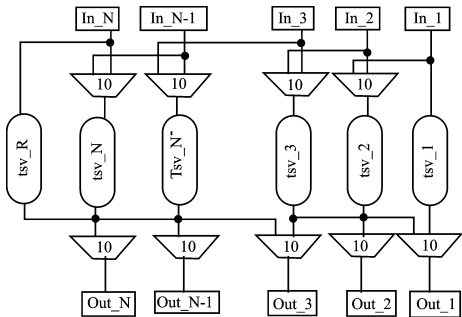


图 3 TSV 链式冗余结构

在各层 RTL 综合结束之后,就要开始后端设计流程.这其中同二维电路后端设计不同主要是在插入 TSV 阵列以及时钟树的构建.

在进行二维集成电路后端设计时,准备文件中需要包括库文件、网表、时序约束文件等等,三维集成电路也同样需要这些,并且还需要额外增加 TS-Vconfig 文件,文件描述了多层 die 的堆叠信息.图 4 所示为实验中两层芯片的堆叠,各层 TSV 的相关信息通过 bump 文件实现同步.

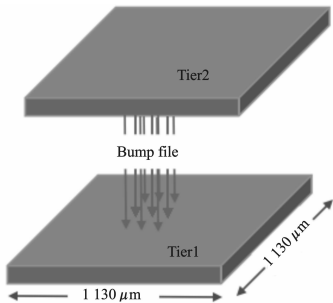


图 4 两层芯片堆叠示意图

在插入 TSV 阵列之前需要得到 TSV 位置信息以及该位置相连的 net 名称.因此实验先插入单个 TSV,为了得到最优的线长,需要定制脚本在 TSV 布局时先获得与 TSV 连接的标准单元的管脚位置,然后将标准单元移除.再根据插入单个 TSV 导出的 Bump 位置在做 floorplan 之前插入 TSV 阵列. TSV 布局完成后,导出 Bump 位置,再完成完整的后端设计流程.图 5 所示为插入 TSV 阵列后的芯片.

由于三维电路如果各层分别进行时钟树搭建,再用硅通孔连接,会使各层的时钟延迟不一致.因此在实验中,采用层次化设计,假设与外界相连的 I/O 端口在最底层,则除最底层外,其余层先生成子时钟

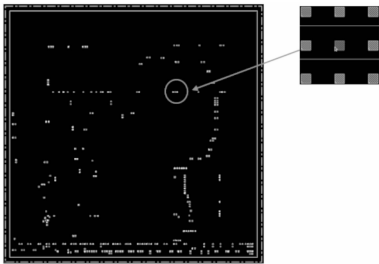


图 5 TSV 阵列在芯核中的分布

树模型文件,再在最底层进行主时钟树综合,已经生成时钟树的层会被当作一个 macro 来对待.

最后的绕线部分各个层各自绕线即可,同单层芯片设计的绕线一致.

4 实验与结果分析

实验基于 Design Compiler 工具进行逻辑综合,再利用 Encounter 工具进行后端布局布线完成设计流程.课题采用 SMIC 65 nm 工艺,频率为 250 MHz.实验电路为二维 HEVC 运动估计电路.如表 1 所示为 Design Compiler 综合之后的结果.

表 1 两层划分综合结果

时钟频率/ MHz	时钟不确定 性/ns	Tier1 面积/ μm^2	Tier2 面积/ μm^2
250	0.2	590	674

后端设计时时,将芯核每层面积设置为 $990\text{ }\mu\text{m}\times 990\text{ }\mu\text{m}$,然后进行标准单元的布局.对于两层三维电路,先做插入单个 TSV 的后端流程,再进行插入 TSV 阵列的后端流程,然后将结果进行比较. TSV 的大小和间距选择及时钟树的搭建我们在第三小节中已经讨论过.如表 2 所示为仿真结束后线长和功耗的结果比较.在时序上,用 PrimeTime 进行时序验证,两者 slack 及时钟偏斜都是符合要求的.

表 2 单 TSV 和 TSV 阵列仿真结果比较

	层 1(单)	层 2(单)	层 1(阵列)	层 2(阵列)
总线长/m	0.947	4.937	1.486	5.552
平均线长/ μm	95.125	30.908	147.288	34.877
功耗/mW	146.2	400.9	180.3	472.1

5 结束语

本文基于在 3 维集成电路设计中插入 TSV 阵列的设计思想,完成了插入 TSV 阵列的 3 维集成电路后端设计流程.利用定制脚本在合理位置插入 TSV 阵列,完成整个设计的后端设计流程后,测得相较于插入

单个 TSV, 线长增加了 19.6%, 功耗增大了 19.2%. 虽然线长和功耗均有增大, 但是 TSV 正确传输信号的概率大大增加, 如前所述, 对于一个传输 4 个信号的 3×3TSV 阵列, 其信号正确传输的概率在原来的基础上提高了 11.98%. 在综合 TSV 阵列设计的其余优点, 如利于 DFT 测试、高频情况下防止串扰等等, 是未来 3D 集成电路设计的一个良好方案.

参考文献:

[1] Meindl J D, Chen Q, Davis J A. Limits on silicon nanoelectronics for terascale integration[J]. Science, 2001, 293(5537):2044-2049.

[2] Thorolfsson T, Gonsalves K, Franzon P D. Design automation for a 3DIC FFT processor for synthetic aperture radar: A case study[C]// Design Automation Conference 46th ACM/IEEE. San Francisco, CA: IEEE, 2009:51-56.

[3] Pang C, Wang Z, Ren X, et al. Electrical simulation of 3X3 TSV array with different signal and ground patterns [C]// Electronic Packaging Technology (ICEPT), 2013 14th International Conference on.

Dalian: IEEE, 2013:417-420.

[4] Yao W, Shi F, He L, et al. Power-bandwidth trade-off on TSV array in 3D IC and TSV-RDL junction design challenges[C]// Electrical Performance of Electronic Packaging and Systems (EPEPS), 2012 IEEE 21st Conference on. Tempe, AZ: IEEE, 2012:79-82.

[5] Zhao Y, Khursheed S, Al-Hashimi B M. Cost-effective TSV grouping for yield improvement of 3D-ICs [C]// 2012 IEEE 21st Asian Test Symposium IEEE. New Delhi: IEEE, 2011:201-206.

作者简介:

王畑夕 女, (1991-), 硕士研究生. 研究方向为大规模集成电路设计. E-mail: wtxdianzi@163.com.

蒋建飞 男, (1979-), 助理研究员. 研究方向为高速集成电路设计.

王 琴 女, (1975-), 副教授. 研究方向为三维集成电路设计.

毛志刚 男, (1962-), 教授, 博士生导师. 研究方向为大规模集成电路设计、可重构体系结构设计、集成电路与元器件可靠性等.

(上接第 128 页)

[5] Andreani P, Bigongiari F, Roncella R, et al. A digitally controlled shunt capacitor CMOS delay line[J]. Analog Integrated Circuits and Signal Processing, 1999, 18 (1): 89-96.

作者简介:

李 恒 男, (1991-), 硕士. 研究方向为大规模集成电路设计. E-mail: liheng_hust@163.com.

王 琴 女, (1975-), 副教授. 研究方向为大规模集成电路设计、先进集成电路设计方法.

蒋剑飞 男, (1979-), 助理研究员. 研究方向为高速集成电路设计.